

## CHARGE TRANSFER DEVICE

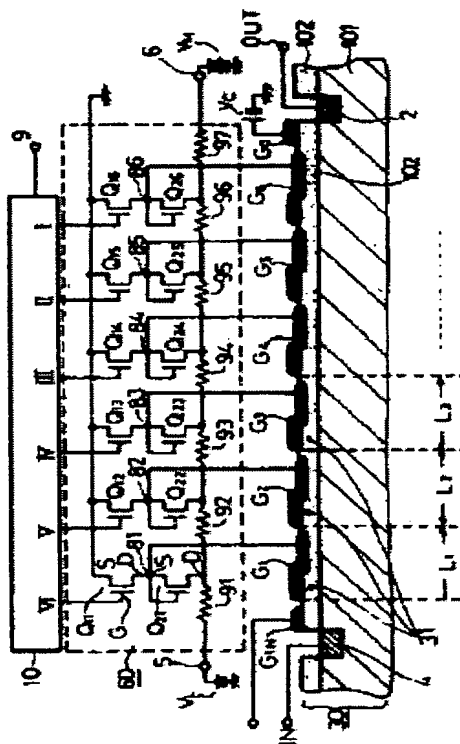
**Patent number:** JP55165687  
**Publication date:** 1980-12-24  
**Inventor:** MIYAMOTO YOSHIHIRO  
**Applicant:** FUJITSU LTD  
**Classification:**  
 - international: **H01L27/148; H01L27/148;** (IPC1-7): H01L29/76;  
 H01L31/10; H04N3/14  
 - european: H01L27/148  
**Application number:** JP19790073902 19790611  
**Priority number(s):** JP19790073902 19790611

Report a data error here

## Abstract of JP55165687

**PURPOSE:** To make the depth of each well correspond to the quantity of stored charge by a method wherein when the transferring electrodes are provided on the surface of a semiconductor substrate through an insulating film and voltage is applied to them to transfer the charge, the further the electrode position is backward in the transfer direction, the higher the voltage level is applied to it.

**CONSTITUTION:** The insulating film 102 is provided on the P-type semiconductor substrate 101, apertures are made at both end parts of the film, and the input and output diodes 4, 2 are formed by the diffusion method. Also plural transferring electrodes G1-G6 are mounted on the film 102 that is located between both apertures 4, 2, the input and output gate electrodes GIN, G0 are provided to both end parts of said film 102 to make up the time delay integration type CCD element 30. In this configuration, when a driving voltage is applied to the respective electrodes G1-G6, a higher voltage is applied to the electrode the further the electrode is located backward in the transfer direction by means of the shift resistor 10 and the driver 60. The driver 60 is composed of the voltage divider circuit, in which the resistances 91-97 are connected to each other in series, and N channel enhancement type switching and depletion type loading MOS transistors Q11-Q16 and Q21-Q26.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭55-165687

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 昭和55年(1980)12月24日

H 01 L 31/10

6824-5F

発明の数 1

29/76

6603-5F

審査請求 未請求

H 04 N 3/14

6246-5C

(全 6 頁)

⑮ 電荷転送装置

川崎市中原区上小田中1015番地

富士通株式会社内

⑯ 特 願 昭54-73902

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭54(1979)6月11日

川崎市中原区上小田中1015番地

⑲ 発 明 者 宮本義博

⑳ 代 理 人 弁理士 井桁貞一

明 細 書

1. 発明の名称

電荷転送装置

2. 特許請求の範囲

(1) 半導体基板表面に絶縁被膜を隔てて転送電極群を配設した半導体装置において、各転送電極に対し転送方向の後位にあるものほど高レベルとなるような電圧印加手段と、該電圧を順次低レベルに切替える手段とを有することを特徴とする電荷転送装置。

(2) 1ビット当り1個の転送電極を有することを特徴とする特許請求の範囲第(1)項記載の電荷転送装置。

(3) 転送電極に印加される上記高レベル電圧を低レベルに順次転ぜしめる手段として、シフトレジスタを用いたことを特徴とする特許請求の範囲第(1)項または第(2)項に記載の電荷転送装置。

3. 発明の詳細な説明

本発明は時間遅延型 CCD に適した単位ビット当り1電極 (Electrode-Per Bit : 以下

EPB と略称する) 構造の CCD に関するものである。

例えばファクシミリや文字認識装置 (以下それぞれ Fax, OCR と略称する) などにおいては、最近の帯域圧縮技術の進歩向上と呼応して、被写体たる帳票等の1ページ当りの撮像ならびに伝送時間がますます短縮される傾向にある。それに伴って光電変換をつかさどる光センサの撮像性能に対しても高速度、高分解能、高感度が要求されて来ている。

このように被写体移送の高速度が進んで来ると、従来の一次元光センサでは単位の受光セルの露光時間がおのずから限定される結果、光電変換によつて該光センサ内に生じる信号電荷が減少するたために感度が低下し、したがって信号対雑音比 (以下 S/N 比と略記する) が悪化するという問題が生じる。これを補うには該センサにおける量子効率 (光電変換効率) の向上および被写体側における照明輝度 (照度) の増加すなわち光源の増設などの方法があるが、そのいずれにも制限があり、

強いてこれを行い被写体移送速度を例えば10倍、20倍とするならば、おのずから装置の大型化、高コスト化をまねく結果となる。

この故に、実質的に露光時間を増大せしめ、感度を高めた光センサとして、時間遅延積分(Time Delay Integration)型(以下TDI型と略称する)CCDセンサが提案された。以下ではこれを略してTCSと呼称することにする。これは第1図に見られるごとく横方向の画素数に対応した長さを有する細長い電極111, 112, 118, ……120を縦方向の所要ビット数に対応した数だけ備え、電荷域CS(点線)で画定された各活性領域内の電荷を、電極の長手方向(縦方向)に転送パルス $\phi_1, \phi_2$ によつて転送するパラレル・レジスタ(以下パラレル部と言う)Pと、上記縦方向各列の電荷を一挙に受け取り、これを横方向に転送し、出力ゲート電極1ならびに出力ダイオード2を介して出力端子0に時系列として出力するシリアル・レジスタ(以下シリアル部と言う)Sとを組合せたものである。

8

のところへ移動したとき、さきに電極111下で発生した電荷が電極112下に移動して来る。したがつて次の転送までに上記移動して来た電荷(この量を $q$ で表わす)にさらに電極112下で新たに発生した光電荷が加わり、総量 $2q$ に達する。このようにして前記一点の映像を1ビットずつ最終電極120まで追従するという方法で露光時間を実質的に長くしてゆけば最後に窓101からの光入射によつて、最終的な電荷の量は図の例では $10q$ まで増大する。同様の現象がパラレル部Pの第2列、第3列……第10列についても起こるから10個の転送電極を有する場合には最終電極120直下の各セル中の電荷量は、最初の電荷量の10倍に達している。したがつて帳票の送り速度が例えば10倍に増加しても、パラレル部Pの電極数を上述した例のごとく10に選ぶことによつて所望の感度を実現できる。なお第1図中のパラレル部Pの転送電極111, 112, 118, ……120の直下に縦方向に配列された電荷域CSは隣接する転送路中の電荷を、互いに混ざり合わ

5

特開昭55-165687(2)

このシリアル部Sにおける電荷の受取りは、第1相転送パルス $\phi_1$ が印加されている奇数番号の電極201, 203, 205, ……219直下で行われ、第2相転送パルス $\phi_2$ が印加されている偶数番号の電極202, 204, 206, ……220は単に電荷転送の役割を果たすだけである。

いま矢印Iの方向に所定の速度プログラムで走行する被写体、たとえば帳票上の一点口の像が、レンズ807を介してTCSの面上においてC点上に実像 $\alpha$ として結ばれているものとする。この実像 $\alpha$ はパラレル部Pの電極111上の透光窓11~20のうち、特に11の位置にあるものとする。該透光窓11の直下の基板表層に光電荷が発生し、その量は像の明るさと露光時間とによつて決まる。

次に上記帳票の移動に伴つて上記の像がパラレル部P面上を矢印Hの方向に移動する時、奇数および偶数番目の転送電極に印加される転送電圧 $\phi_1, \phi_2$ によりパラレル部Pにおいて電荷転送を行い、かつその転送と帳票の移動とを同期せしめる。このようにすれば点口の像が電極112の透光窓21

4

せることなく矢印Hの方向に案内する役割を演ずる。

しかるに上記のような従来構造のTCSの光センサ(パラレル部)の各ビットの光電変換によつて生じる信号電荷量は逐次加算されて行くにもかかわらず、各転送電極直下の井戸の深さ、したがつて最大電荷収納量は一定である。これは最終電極120直下において電荷飽和現象を起こす原因となる。もしこの現象を起こさないように各井戸の深さをさらに大にするならば、最初の電極111直下においては、生じる電荷が少ない場合には電極直下の井戸の深さが必要以上に大となる。換言すれば該井戸を構成する基板表面<sup>2</sup>不足層の体積が大きくなるため、大きな漏洩電流を生じ、その結果上記光センサ部のS/N比は劣化するという問題が生ずる。

本発明はこうした問題点に鑑みて、各井戸の深さを蓄積電荷量に見あつたものとする構造のCCDを提供せんとするものであつて、以下図面を用いて本発明の実施例について詳記する。

6

第2図(ハ)は本発明に係るT D I型C C D 3 0をその駆動部たるシフト・レジスタ10をドライバ部60と共に示したもので、101は絶縁膜102が被覆された例えばP型の半導体基板、4は上記絶縁膜102上に配設された転送電極G1、G2...G6の下、半導体表面層に電荷を送り込む入力ダイオード、2は上記表面層の電荷を取り出す出力ダイオードである。なお上記の個々の転送電極上には図示されない透光窓がうがたれているが、同図の動作説明の便宜上からここでは省略されている。低い正の直流電圧V<sub>L</sub>、例えば2Vが印加された端子5と高い正の直流電圧V<sub>H</sub>例えば12Vが印加された端子6との間には、複数の抵抗91~97が互いに直列に接続されて一種の分圧回路を構成している。また点線で閉つたドライバ部60中では例えばカチヤンネル・エンハンスメント型のスイッチ用M O S T、Q11~Q16と負荷用デプレッション型M O S T、Q21~Q26のそれぞれが直列に接続されて、それぞれ単位のドライバを構成しており、そのドレイン電圧は端子5から6に向かうほど、

7

位的に高まっている。このため例えば井戸45が消滅してその中の電荷が隣の井戸44中へ移される場合には、前記の高い方の側壁55が電位の障壁となつて該井戸45中の電荷が井戸46中に流入することを防ぐ。こうした電荷の逆方向転送を阻止する障壁部51~56は、各転送電極直下の絶縁膜102に設けられた膜厚の大なる部分81によつて作られる。

なお、50は出力ゲートG0直下に作られる障壁であつて、その高さは障壁51よりもやや低くなるように直流電圧V<sub>0</sub>が該出力ゲートG0に印加されている。

ところで負の低レベルにあつたシフト・レジスタ10の各端子の出力電圧は、駆動開始信号が入力端子9に加われば、まず端子1において高レベルに転じ、このためM O S T、Q10が導通状態となる。かくすれば点86の電位は低レベル、換言すれば零に近くなるため、転送電極G6直下の井戸41は消滅し、この結果同図(ハ)に示したごとくその中にあつた電荷は、充分に逆バイアスされてい

9

段階的に高まる上記分圧回路の抵抗間接続点の電圧となつている。そしてスイッチ用と負荷用の両M O S Tの各接続点81~86はC C D、30の各転送電極G1~G6につながつていゝため、出力ダイオード2に近い転送電極ほど上記の各ドレイン電圧に対応した大きな値の転送電圧が印加される。

ところで、シフト・レジスタ10の全端子1~11における各出力電圧は静止時にはすべて低レベルにあり、このため全スイッチ用M O S Tが遮断状態にある。このスイッチ用M O S Tと負荷用M O S Tとの接続点81~86に現れる前記各電圧によつて、C C D 30の各転送電極直下の井戸は転送方向の後位ほど深くなる。第2図(ハ)はこの様子を示す図であつて各井戸41~46中の各電荷は、図では示されていないが光あるいは電気的手段によつて各井戸に信号入力され、それが順に右方向へ転送されて来たものである。今、仮に井戸41~46のうち、任意の1ビット分、例えば転送電極G2直下の井戸45に隣接した井戸の側壁54と55とに注目して見れば、55は54よりも電

8

る出力ダイオード2の井戸48中に矢印Tで示したごとく流入し、該出力ダイオード2の出力端子OUTから出力信号となつて取り出される。さらにレジスタ10の端子1の電位が低レベルに復帰すると同時に端子11が高レベルとなり、従つてこの端子11につながつたM O S T、Q16が導通状態となれば、転送電極G6には先に電極G6に加わつた電圧よりもやや低い転送電圧が印加される。その結果電極G6直下の井戸の底42は矢印Tで示したごとく持ち上がり、該井戸中の電荷は先に空にされた後に再び深まつた井戸41中へ点線矢印Tで示したごとく移される。以下、レジスタ10の端子11, 10, .....が順に高レベルとなるにつれ、井戸43, 44, .....中の電荷は右側に隣接する井戸方向へ順次転送されるが、転送電極G1直下の井戸46中の電荷が井戸45中に移つてくなくなれば、入力ダイオード4の入力端子INに加えられるパルス電圧によつて該ダイオード4の井戸47中から新たな電荷が上記の井戸46中に供給される。なお同図中のG11は入力ゲート電極であつてこの

10

供給電荷の制御に用いられるものである。

一方、本実施例は第2図(ハ)の断面構造から理解されるところ、1ビットに相当する長さ $L_1=L_2=L_3=\dots$ ごとに転送電極が1個配設されているのみで、電荷転送部の構造は極めて簡単である。この構造は最初に述べたようにEPB構造と呼ばれ、ビット当りの所要基板面積の縮小上極めて有効である。ところで前述したように、CCD30に生じる各井戸の深さが大である程、漏洩電流も大、したがってそれに基づいて発生する雑音も大となるから、該井戸中に蓄積される電荷が深さの割に少ないとS/N比が劣化する。たとえばCCDの電荷転送部が第1図に示したTDI型のパラレル転送部がとして働く場合には、第2図の第1転送電極の図示されていない透光窓から入射した光による微小な量の発生電荷に対しては上述の理由からS/N比、したがって感度の低下をまねく。この見地からは電荷量が増えてゆく第1図に図示のTDI型センサのシリアル部Sに近い井戸ほど深いことが望ましく、逆にシリアル部Sから遠い

11

該シリアル部Sは第1図に示した装置と同様に転送電圧 $\phi_1$ と $\phi_2$ で駆動される。ただし、1aおよび1bはシリアル部Sおよびパラレル部Pにおける各出力ゲートであつて、70aおよび70bは両出力ゲート電極1a、1bの制御端子である。また、矢印 $\vec{A}$ はパラレル部P内の、矢印 $\vec{B}$ はシリアル部S内のそれぞれの転送方向である。

第4図は本発明を適用した並列入力～直列出力(Parallel In/Serial Out)型のCCDフィルタの例であつて、h1～h6で示したものは重み係数付与部、INは信号入力端子、CGは入力電荷制御電極、61はその制御端子であつて第8図と同等の部位には同符号が付されている。本フィルタは単一の電荷転送路の側面に並んだ複数の電荷供給端子71～76を備えているために、もし第2図で示したような井戸深さ制御がなされていなければ、各端子71～76から供給された電荷は、FからAまでの記号で示した各セル中において、矢印 $\vec{A}$ の転送方向に逐次増大し、最終セルA中では飽和状態になりかねない。これをさけるため、セ

13

井戸ほど深いことが得策である。前述したように各転送電極に階段的に変化する電位差を与え、それら直下の井戸の深さを初めは浅くし、井戸内電荷量の増大に応じて漸次深めるべく工夫されているのはこのためである。

第3図は本発明の変形実施例たるTCSの平面的模式図であつて、長い破線は電荷壁CSを、また40は前記シフト・レジスタにドライバを組合わせたものを、それぞれ示している。本TCSのパラレル部P上の透光窓Wが開かれた各転送電極G1～G6にはレジスタ・ドライバ40を介して転送電圧と共に加えられる前述の分配直流電位がそれぞれ印加されており、そのため電極G1直下では浅い井戸が、また電極G6直下では深い井戸がそれぞれ生じている。その結果、井戸内に収納可能な最大電荷量は電極G1直下で最少、電極G6直下で最大となつており、そのため電極G1直下の井戸中の信号電荷と雑音の比の悪化は防がれる。

なお、同図のシリアル部Sにおいては、上述したような井戸の深さ制御の必要はなく、そのため

12

セル寸法を充分に大にとるとすれば、スペース・ファクタが悪くなる。また各井戸の深さを大とすれば、最初のセルFにおいては電荷量が小なるためにS/N比が劣化する。このような点からこの第4図に示したCCDフィルタでは、前述の第2図について説明したように深さが漸次増大する井戸を各セル中に形成するため、ドライバ・ブロック40の各端子1、1、1、……、1に対して該ブロック40内において前述した直流電圧分配がすでに施されているが、便宜上図示を省略した。これによつて最終セルA中で電荷が飽和することなく最初のセルF中においてS/N比が劣化することもない。なお、第8図中のシリアル部Sならびに第4図のCCD部中の斜線で示したワの部分の電荷案内領域である。

以上に述べた本発明に係るEPB形式のCCDを用いた光センサにおいてはS/N比が向上し、フィルタにおいては最終セル中の電荷飽和の防止ならびに寸法の減少などの面で、著しい効果をもたらすものであるゆえに、その実用上極めて大

14

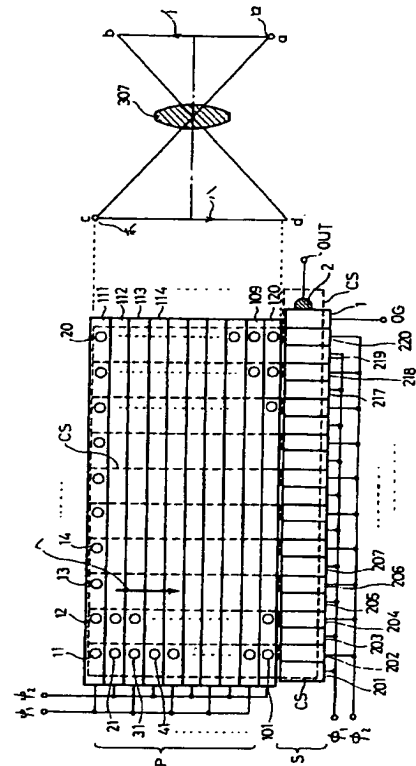
る効果が期待できる。

#### 4. 図面の簡単な説明

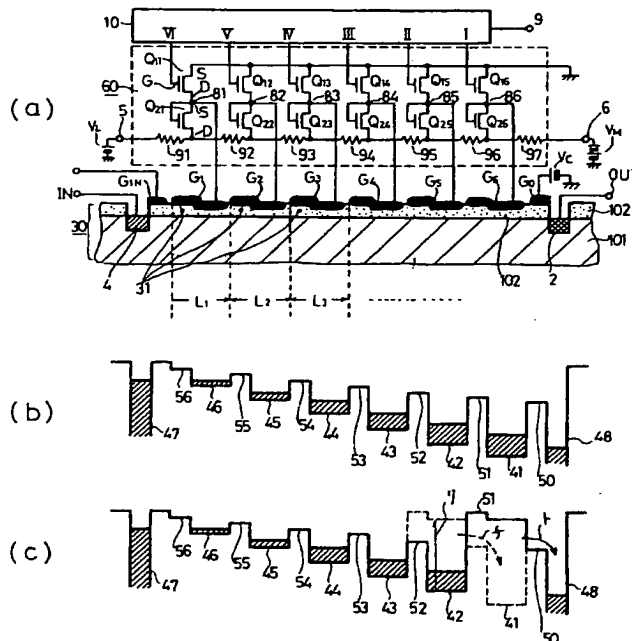
第1図は従来型のT D I型CCDセンサの平面図、第2図は本発明に係る電荷転送装置の一実施例の構造を示す断面図および電位の井戸内電荷の挙動を示す図、第3図は本発明に係る電荷転送装置の他の一実施例の、また第4図は同じく本発明の、さらに他の一実施例の、それぞれを示す平面図である。

1, 1a, 1b: 出力ゲート電極、2: 出力ダイオード、4: 入力ダイオード、5, 6: 複数の抵抗が直列接続された母線の端子、9: シフトレジスタ10の動作開始信号入力端子、11, 12, 13, ……20, 21, 31, 41, ……101: 透光窓、30: CCD、41~48: 電位の井戸、50~56: 電位の側壁、A, B, C, D, E, F: C Dフィルタの転送電極、h1~h6: 重み係数付手番部、W: 本実施例の透光窓、Q11~Q16, Q21~Q26: スイッチ用および負荷用M O S トランジスタ。

第1図

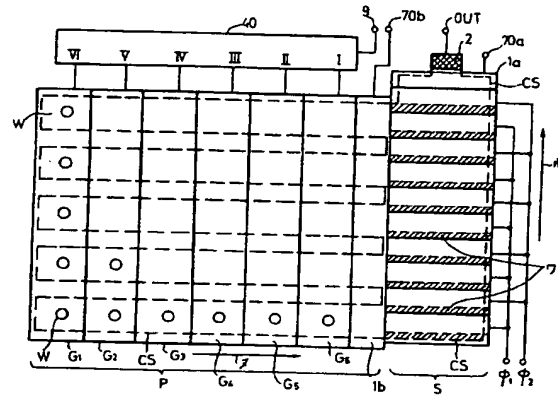


第2図



第 3 圖

特開昭55-165687(6)



第 4 圖

